

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-253764

(43)Date of publication of application : 03.10.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/136

(21)Application number : 06-043799

(71)Applicant : SHARP CORP

(22)Date of filing : 15.03.1994

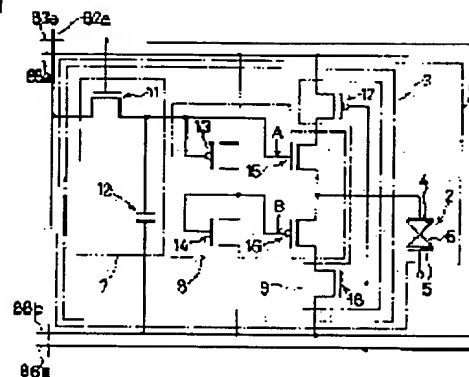
(72)Inventor : KATO KENICHI
KUBOTA YASUSHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a liquid crystal display device simple in constitution, small in power consumption, capable of gradation display and short in response time.

CONSTITUTION: A liquid crystal display element 1 has a pixel driving circuit 3 supplying a picture signal to a pixel capacitance 2. The pixel driving circuit 3 is provided with a data holding part 7 for fetching a data signal being information on a picture display when the circuit 3 is scanned by a scanning signal and holding the data signal until the circuit 3 is scanned next time, a gradation signal control part 8 for setting the effective voltage of the picture signal to be supplied to the pixel capacitance 2 based on the data signal and a polarity control part 9 for inverting the polarity of the picture signal based on a reference signal. Thus, the picture signal to be supplied to the pixel capacitance 2 is an alternated. Moreover, the dynamic range of the data signal can be reduced by almost half of a conventional dynamic range. Furthermore, the effective voltage can be maintained almost constant even though the dielectric constant of a liquid crystal layer 6 is changed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-253764

(43)公開日 平成7年(1995)10月3日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 5 0			
1/136	5 0 0			

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21)出願番号 特願平6-43799
(22)出願日 平成6年(1994)3月15日

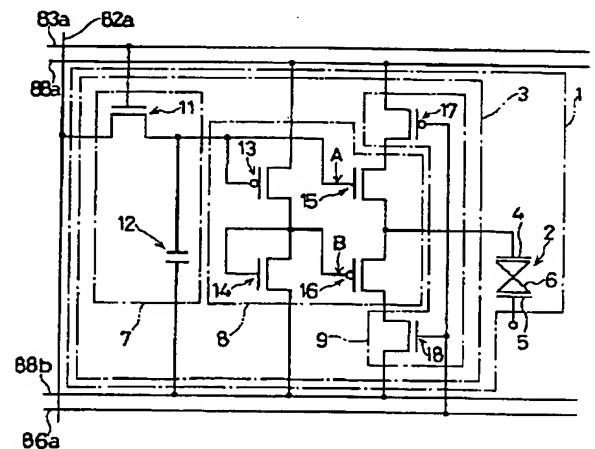
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 加藤 憲一
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(72)発明者 久保田 靖
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 液晶表示装置

(57)【要約】

【構成】 液晶表示素子1は、画素容量2に画像信号を供給する画素駆動回路3を有している。画素駆動回路3は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込むと共に、次に走査されるまで上記データ信号を保持するデータ保持部7と、上記データ信号に基づいて画素容量2に供給する画像信号の実効電圧を設定する階調信号制御部8と、基準信号に基づいて上記画像信号の極性を反転させる極性制御部9とを備えている。これにより、画素容量2に供給される画像信号が交流化される。また、データ信号のダイナミックレンジを従来のほぼ半分程度にすることができる。さらに、液晶層6の誘電率が変化しても、実効電圧をほぼ一定に保つことができる。

【効果】 簡単な構成で、消費電力が小さく、かつ、階調表示が可能で、しかも、光学的応答時間が短い液晶表示装置を提供することが可能となる。



【特許請求の範囲】

【請求項 1】画素を有する複数の液晶表示素子がマトリックス状に配列された液晶表示画面を備えた液晶表示装置において、

上記液晶表示素子は、一定の周期で極性が切り換わる画像信号を画素に供給する画素駆動回路を有し、

上記画素駆動回路は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込み、上記データ信号に基づいて画素に供給する画像信号の実効電圧を設定するものであることを特徴とする液晶表示装置。

【請求項 2】上記画素駆動回路は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込むと共に、次に走査されるまで上記データ信号を保持する保持回路と、上記データ信号に基づいて画素に供給する画像信号の実効電圧を設定する設定回路と、所定の時間間隔で画像信号の極性を反転させる反転回路とを備えていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】上記画素駆動回路は、画像信号の極性を反転させるための基準となる基準信号を発生する発生回路をさらに備えていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】画素駆動回路は、画像信号が変化したときに、画素の電位が略安定するまでは画素に対する出力抵抗を小さくする一方、画素の電位が略安定したときに、次に画像信号が変化するまでは画素に対する出力抵抗を大きくすると共に、画素駆動回路本体の一部若しくは全部の動作を休止するものであることを特徴とする請求項 1、2 または 3 記載の液晶表示装置。

【請求項 5】当該フィールドの画像信号と、1 フィールド期間前の画像信号とが同一であるか否かを判定する判定手段と、

上記判定手段により、両画像信号が同一でないと判定されたときに、当該フィールドの画像信号を各画素に供給する画素駆動手段とをさらに備えていることを特徴とする請求項 1、2、3 または 4 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばマトリックス型液晶表示装置等の液晶表示装置に関するものである。

【0002】

【従来の技術】従来の液晶表示装置について、図 12 を参照しながら、以下に説明する。図 12 に示すように、従来の液晶表示装置の液晶基板上に形成されている各液晶表示素子（以下、単に素子と称する）101 は、例えば電界効果トランジスタ（field effect transistor : FET）からなる画素トランジスタ 107 と、保持容量 108 と、画素である画素容量 102 とからなっている。画素容量 102 は、画素電極 104 と、画素電極 1

04 に対向して設けられた対向電極 105 と、これら両電極 104・105 間に設けられた液晶層 106 とからなっている。上記保持容量 108 の一端部は共通信号線 112 に接続されている。そして、保持容量 108 の上記一端部および画素容量 102 の対向電極 105 には、同一の信号が印加されている。

【0003】上記の画素トランジスタ 107 は、走査信号線 111 を介して走査信号線駆動回路（図示せず）から入力される走査信号が立ち上がったときに ON 状態となり、データ信号線 110 を介してデータ信号線駆動回路（図示せず）から入力される画像信号としてのデータ信号を画素容量 102 および保持容量 108 に印加する。また、画素トランジスタ 107 は、上記の走査信号が立ち下がったときに OFF 状態となる。上記の画素容量 102 および保持容量 108 は、画素トランジスタ 107 が ON 状態となったときに画素トランジスタ 107 から入力されたデータ信号を、画素トランジスタ 107 が再び ON 状態となるまで保持する。

【0004】そして、各素子 101 の画素トランジスタ 107 は、1 水平走査期間毎に走査信号線駆動回路から入力される走査信号によって順次走査され、上記の動作を繰り返す。これにより、1 垂直走査期間で全ての素子 101…の画素容量 102 および保持容量 108 に画像信号が保持される。

【0005】この際、画素容量 102 の液晶層 106 を直流電圧で駆動すると、液晶の表示特性の劣化を引き起こす。このため、画素容量 102 の画素電極 104 に印加する画像信号の極性を、1 垂直走査期間毎に反転する必要がある。さらに、画素電極 104 に印加する画像信号の極性が液晶表示画面である液晶表示パネル全体で同一であると、通常のフレーム周期（50Hz～70Hz）では、映像画面のフリッカが目立つ。従って、上記従来の液晶表示装置においては、データ信号線 110 に入力するデータ信号の極性を 1 水平走査期間毎に反転させ、これにより、画素容量 102 に印加する画像信号の極性を、+ である素子 101…の個数と - である素子 101…の個数とがほぼ 1 : 1 になるようにしている。つまり、上記従来の液晶表示装置は、このようにして、+ である素子 101…の表示特性と - である素子 101…の表示特性とを相殺することにより、映像画面のフリッカが目立たないようにしている。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の液晶表示装置では、画素容量 102 の画素電極 104 および対向電極 105、即ち、液晶層 106 に、正負両極性の画像信号を直接印加する構成となっている。このため、データ信号線 110 を介してデータ信号線駆動回路（図示せず）から入力されるデータ信号のダイナミックレンジは、上記の液晶層 106 に印加される最大電圧の 2 倍となる。従って、上記従来の液晶表示装置で

は、液晶表示パネルを駆動する各種回路（例えば、走査信号線駆動回路やデータ信号線駆動回路）の電源電圧を大きくしなければならない。

【0007】また、上記従来の液晶表示装置では、データ信号線 110 に入力するデータ信号の極性を、1 水平走査期間毎に切り換えている。このため、データ信号線 110 に寄生している容量性の負荷においては、1 水平走査期間毎に充電・放電を繰り返すことになる。このように、負荷の充電・放電を繰り返す回数が一定時間内において多くなると、データ信号線駆動回路の消費電流が大きくなる。

【0008】それゆえ、上記従来の液晶表示装置では、液晶表示パネルを駆動する各種回路の電源電圧および消費電流が何れも大きくなるため、消費電力が大きくなるという問題点を有している。

【0009】例えば、近年、液晶表示装置の応用分野として、携帯可能に形成された情報表示端末が注目されている。上記の情報表示端末においては、1 垂直走査期間よりもはるかに長い期間にわたって同一の画像信号、即ち、同一映像画面を表示することが多い。ところが、上述したように従来の液晶表示装置では、画素容量 102 に印加する画像信号を 1 垂直走査期間毎に更新し、その極性を反転させるので、消費電力が大きい。従って、情報表示端末に内蔵されているバッテリーの消耗が速くなり、情報表示端末の連続使用時間が短くなってしまふ。

【0010】また、液晶の誘電率は、印加される電圧によって変化する。その変化速度は、通常、上記の素子 101 に対するデータ信号の書き込み速度と比較して、10 倍以上遅い。このため、画像信号が画素容量 102 および保持容量 108 に保持されている間に、液晶層 106 の誘電率が変化してしまう。電荷 Q、電圧 V および静電容量 C には、

$$V = Q / C$$

の関係が成り立つため、液晶層 106 の誘電率が高くなると静電容量 C が大きくなり、電圧 V は小さくなる。逆に、誘電率が低くなると静電容量 C が小さくなり、電圧 V は大きくなる。

【0011】一般的な TN 型液晶の誘電率は、印加される電圧が大きくなるほど、高くなる。このため、液晶層 106 は、画素容量 102 に保持されている電圧よりも大きな電圧（画像信号）が印加された場合、その誘電率が次第に高くなる。よって、画素容量 102 に新たに保持される電圧は、最終的に、印加された電圧よりも小さくなる。逆に、液晶層 106 は、画素容量 102 に保持されている電圧よりも小さな電圧が印加された場合、その誘電率が次第に低くなる。よって、画素容量 102 に新たに保持される電圧は、最終的に、印加された電圧よりも大きくなる。

【0012】以上のように、画素容量 102 に新たに保持される電圧は、以前に保持されていた電圧に近づく。

つまり、上記従来の液晶表示装置では、画素容量 102 に保持される電圧（画像信号）の変化量が、画素容量 102 に印加される電圧（画像信号）の変化量よりも小さくなる。それゆえ、上記従来の液晶表示装置では、階調が変化したときに、画素容量 102、即ち、液晶層 106 の光学的応答時間が長くなるという問題点を有している。

【0013】尚、上記の問題点を解消するために、例えば特開昭 59-65879 号公報には、表示内容（画像信号）をスタティック（静的）に保持し、画素電極に印加する画像信号を制御するための回路を素子毎に設けた構成の液晶表示装置（上記公報では集積回路基板と称されている）が開示されている。しかしながら、この液晶表示装置は、表示内容を ON/OFF で制御する構成となっている。従って、上記開示の液晶表示装置では、階調表示を行うためには、階調数と同じ数だけデータ信号線およびデータ信号線駆動回路が必要となり、液晶表示装置の回路構成の規模が大きくなる。このため、上記開示の液晶表示装置では、階調数を大きくすることができないという欠点を有している。

【0014】本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、簡単な構成で、消費電力が小さく、かつ、階調表示が可能で、しかも、光学的応答時間が短い液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】請求項 1 記載の発明の液晶表示装置は、上記の課題を解決するために、画素を有する複数の液晶表示素子がマトリクス状に配列された液晶表示画面を備えた液晶表示装置において、上記液晶表示素子は、一定の周期で極性が切り換わる画像信号を画素に供給する画素駆動回路を有し、上記画素駆動回路は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込み、上記データ信号に基づいて画素に供給する画像信号の実効電圧を設定するものであることを特徴としている。

【0016】請求項 2 記載の発明の液晶表示装置は、上記の課題を解決するために、請求項 1 記載の液晶表示装置において、上記画素駆動回路は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込むと共に、次に走査されるまで上記データ信号を保持する保持回路と、上記データ信号に基づいて画素に供給する画像信号の実効電圧を設定する設定回路と、所定の時間間隔で画像信号の極性を反転させる反転回路とを備えていることを特徴としている。

【0017】請求項 3 記載の発明の液晶表示装置は、上記の課題を解決するために、請求項 2 記載の液晶表示装置において、上記画素駆動回路は、画像信号の極性を反転させるための基準となる基準信号を発生する発生回路をさらに備えていることを特徴としている。

【0018】請求項 4 記載の発明の液晶表示装置は、上

記の課題を解決するために、請求項 1、2 または 3 記載の液晶表示装置において、画素駆動回路は、画像信号が変化したときに、画素の電位が略安定するまでは画素に対する出力抵抗を小さくする一方、画素の電位が略安定したときに、次に画像信号が変化するまでは画素に対する出力抵抗を大きくすると共に、画素駆動回路本体の一部若しくは全部の動作を休止するものであることを特徴としている。

【0019】請求項 5 記載の発明の液晶表示装置は、上記の課題を解決するために、請求項 1、2、3 または 4 記載の液晶表示装置において、当該フィールドの画像信号と、1 フィールド期間前の画像信号とが同一であるか否かを判定する判定手段と、上記判定手段により、両画像信号が同一でないと判定されたときに、当該フィールドの画像信号を各画素に供給する画素駆動手段とをさらに備えていることを特徴としている。

【0020】

【作用】請求項 1 記載の構成によれば、画像信号を画素に供給する画素駆動回路は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込み、上記データ信号に基づいて画素に供給する画像信号の実効電圧を設定する。このため、液晶表示画面の階調表示が可能となる。

【0021】また、液晶表示素子の画像の明暗に関する情報を上記データ信号とすればよいので、データ信号のダイナミックレンジを従来のほぼ半分程度にすることができる。このため、データ信号の供給源の電源電圧を小さくすることができると共に、データ信号の信号線に流すべき電流を小さくすることができる。

【0022】さらに、データ信号に基づいて画像信号の実効電圧を設定するので、液晶表示素子の液晶の誘電率が変化しても、上記実効電圧をほぼ一定に保つことができる。このため、各画素の光学的応答時間が短くなる。

【0023】これにより、簡単な構成で、消費電力が小さく、かつ、階調表示が可能で、しかも、光学的応答時間が短い液晶表示装置を提供することが可能となる。

【0024】請求項 2 記載の構成によれば、画素駆動回路は、走査信号によって走査されたときにデータ信号を取り込むと共に、次に走査されるまで上記データ信号を保持する保持回路と、上記データ信号に基づいて画像信号の実効電圧を設定する設定回路と、所定の時間間隔で画像信号の極性を反転させる反転回路とを備えている。このため、画素に供給される画像信号が交流化されるので、液晶表示画面の階調表示が可能となる。

【0025】また、画像信号が交流化されるので、画素駆動回路には、データ信号の絶対値のみを入力すればよいこととなる。従って、データ信号のダイナミックレンジを従来のほぼ半分程度にすることができる。このため、データ信号の供給源の電源電圧を小さくすることができると共に、データ信号の信号線に流すべき電流を小

さくすることができる。

【0026】さらに、データ信号に基づいて画像信号の実効電圧を設定するので、液晶表示素子の液晶の誘電率が変化しても、上記実効電圧をほぼ一定に保つことができる。このため、各画素の光学的応答時間が短くなる。

【0027】これにより、簡単な構成で、消費電力が小さく、かつ、階調表示が可能で、しかも、光学的応答時間が短い液晶表示装置を提供することが可能となる。

【0028】請求項 3 記載の構成によれば、画素駆動回路は、画像信号の極性を反転させるための基準となる基準信号を発生する発生回路をさらに備えている。このため、各液晶表示素子に基準信号を供給する必要がなくなるので、液晶表示装置の構成をより一層簡単化することができる。

【0029】請求項 4 記載の構成によれば、画素駆動回路は、画像信号が変化したときに、画素の電位が略安定するまでは画素に対する出力抵抗を小さくする一方、画素の電位が略安定したときに、次に画像信号が変化するまでは画素に対する出力抵抗を大きくすると共に、画素駆動回路本体の一部若しくは全部の動作を休止する。

【0030】これにより、画素駆動回路の消費電流を低減することができるので、液晶表示装置の消費電力をより一層低減することが可能となる。

【0031】請求項 5 記載の構成によれば、当該フィールドの画像信号と、1 フィールド期間前の画像信号とが同一であるか否かを判定する判定手段と、上記判定手段により、両画像信号が同一でないと判定されたときに、当該フィールドの画像信号を各画素に供給する画素駆動手段とをさらに備えている。

【0032】このため、各画素には、データ信号の内容が変更されたときにのみ、データ信号が新たに供給されることとなる。従って、各画素にデータ信号を供給する回数を減少させることができるので、液晶表示装置の消費電力をより一層低減することが可能となる。

【0033】

【実施例】

【実施例 1】本発明の一実施例について図 1 ないし図 4 に基づいて説明すれば、以下の通りである。尚、以下の説明においては、液晶表示装置としてマトリックス型液晶表示装置を例に挙げることにする。

【0034】本実施例にかかるマトリックス型液晶表示装置（以下、単に液晶表示装置と称する）は、画素を有する多数の液晶表示素子を備えており、各液晶表示素子は、液晶基板上にマトリックス状に配列されている。図 2 に示すように、上記の各液晶表示素子（以下、単に素子と称する）1 は、画素としての画素容量 2、および、画素駆動回路 3 からなっている。上記の画素容量 2 は、画素電極 4 と、画素電極 4 に対向して設けられた対向電極 5 と、これら両電極 4・5 間に設けられた液晶層 6 とからなっている。上記の画素駆動回路 3 は、データ保持

部（保持回路）7、階調信号制御部（設定回路）8、および、極性制御部（反転回路）9にて構成されている。

【0035】上記画素容量2の画素電極4は、画素駆動回路3の階調信号制御部8に接続されている。対向電極5は、図示しない共通信号線に接続されており、例えば接地されている。尚、液晶層6を形成する液晶の組成等は、特に限定されるものではない。

【0036】上記のデータ保持部7は、階調信号制御部8に接続されると共に、データ信号線82aおよび走査信号線83aを介して、データ信号線駆動回路および走査信号線駆動回路（何れも図示せず）に接続されている。データ信号線駆動回路は、データ信号線82aを介して各素子1に画像表示に関する情報であるデータ信号を供給する。走査信号線駆動回路は、走査信号線83aを介して各素子1に印加する電圧を変化させることにより、上記の素子1に走査信号を供給する。そして、データ保持部7は、走査信号線駆動回路から入力される走査信号によって走査されたときに、データ信号線駆動回路から入力されたデータ信号を保持する。

【0037】上記の極性制御部9は、階調信号制御部8に接続されると共に、極性制御信号線86aを介して図示しない極性制御回路に接続されている。極性制御部9は、極性制御信号線86aを介して極性制御回路から入力される信号に基づいて所定の時間間隔で極性を反転させた基準信号を、階調信号制御部8に出力する。

【0038】上記の階調信号制御部8は、データ保持部7、極性制御部9、および、画素容量2の画素電極4に接続されている。そして、階調信号制御部8は、データ保持部7に保持されたデータ信号に基づいて、極性制御部9から入力される基準信号の実効電圧を制御して画素容量2に印加する。これにより、画素容量2は交流駆動される。

【0039】上記の画素駆動回路3について、図1に示す回路図を参照しながら、以下に詳述する。図1に示すように、画素駆動回路3のデータ保持部7は、例えば電界効果トランジスタ（field effect transistor：FET）からなる画素トランジスタ11と、コンデンサ12とからなっている。画素トランジスタ11のドレインはデータ信号線82aに接続され、ゲートは走査信号線83aに接続され、ソースはコンデンサ12、および、後述の逆極性電圧設定トランジスタ13および振幅制御トランジスタ15のゲートに接続されている。コンデンサ12は画素トランジスタ11のソースおよび一側電源線88b間に配されている。

【0040】上記の画素トランジスタ11は、走査信号線83aを介して走査信号線駆動回路から入力される走査信号が立ち上がったときにON状態となり、データ信号線82aを介してデータ信号線駆動回路から入力される正極性のアナログデータ信号をコンデンサ12に印加する。また、画素トランジスタ11は、上記の走査信号

が立ち下がったときにOFF状態となる。上記のコンデンサ12は、画素トランジスタ11がON状態となったときに画素トランジスタ11から入力されたデータ信号を、画素トランジスタ11が再びON状態となるまで保持する。

【0041】尚、液晶基板上の各素子1の画素トランジスタ11は、1水平走査期間毎に走査信号線駆動回路から入力される走査信号によって順次走査され、上述した動作を繰り返す。これにより、1垂直走査期間で全ての素子1…のコンデンサ12にデータ信号が保持される。

【0042】画素駆動回路3の階調信号制御部8は、データ保持部7に保持されたデータ信号と逆極性の電圧を設定する逆極性電圧設定トランジスタ13・14と、画素電極4に印加される画像信号の出力電圧を制御する振幅制御トランジスタ15・16とからなっている。逆極性電圧設定トランジスタ13のドレインは+側電源線88aに接続され、ゲートは画素トランジスタ11のソースおよびコンデンサ12に接続され、ソースは振幅制御トランジスタ16のゲートに接続されている。

【0043】逆極性電圧設定トランジスタ14のドレインは-側電源線88bに接続され、ゲートおよびソースは振幅制御トランジスタ16のゲートに接続されている。振幅制御トランジスタ15のドレインは後述の極性制御トランジスタ17のソースに接続され、ゲートは画素トランジスタ11のソースおよびコンデンサ12に接続され、ソースは画素容量2の画素電極4に接続されている。振幅制御トランジスタ16のドレインは後述の極性制御トランジスタ18のソースに接続され、ゲートは逆極性電圧設定トランジスタ13のソース、および、逆極性電圧設定トランジスタ14のゲートおよびソースに接続され、ソースは画素容量2の画素電極4に接続されている。

【0044】上記の逆極性電圧設定トランジスタ13は、ゲート・ソース間の電圧の2乗に比例する電流がドレイン・ソース間に流れる。上記の逆極性電圧設定トランジスタ14は、ドレイン・ソース間の抵抗値がここを流れる電流の平方根に反比例する非線形の抵抗素子として動作する。即ち、逆極性電圧設定トランジスタ13のゲート・ソース間の電圧と、逆極性電圧設定トランジスタ14のドレイン・ソース間の電圧との間には、比例関係が成立している。これにより、コンデンサ12に保持されているデータ信号に対応した負極性の電圧が振幅制御トランジスタ16のゲートに入力される。

【0045】画素駆動回路3の極性制御部9は、画素電極4に印加される画像信号の極性を反転する極性制御トランジスタ17・18からなっている。極性制御トランジスタ17のドレインは+側電源線88aに接続され、ゲートは極性制御信号線86aに接続され、ソースは振幅制御トランジスタ15のドレインに接続されている。極性制御トランジスタ18のドレインは-側電源線88

bに接続され、ゲートは極性制御信号線86aに接続され、ソースは振幅制御トランジスタ16のドレインに接続されている。

【0046】上記の極性制御トランジスタ17・18は、常に、一方がON状態のときには、他方がOFF状態となる。そして、これら極性制御トランジスタ17・18のON/OFF状態は、極性制御信号線86aを介して図示しない極性制御回路から入力される基準信号によって切り換わる。これにより、階調信号制御部8から画素電極4に印加される画像信号の極性は、上記の基準信号によって一定の周期で切り換えられる。

【0047】上記の画素駆動回路3が画素電極4に画像信号(電圧)を印加する動作について説明する。例えば、振幅制御トランジスタ15のゲート・ソース間の電圧 V_{gs} が $V_{gs} < V_{ONN}$ のときに振幅制御トランジスタ15のドレイン・ソース間が非導通状態となるとする。すると、極性制御トランジスタ17がON状態のときには、+側電源線88aから極性制御トランジスタ17および振幅制御トランジスタ15を通じて正極性の電圧が画素電極4に印加され、画素電極4は充電される。

【0048】そして、振幅制御トランジスタ15のゲートに接続された信号線Aの電圧を V_A 、画素電極4の電圧を V_{PIC} とすると、 $V_{PIC} = V_A - V_{ONN}$ となったときに振幅制御トランジスタ15がOFF状態となり、画素電極4の充電が終了する。

【0049】一方、例えば、振幅制御トランジスタ16のゲート・ソース間の電圧 V_{gs} が $V_{gs} > V_{ONP}$ のときに振幅制御トランジスタ16のドレイン・ソース間が非導通状態となるとする。すると、極性制御トランジスタ18がON状態のときには、-側電源線88bから極性制御トランジスタ18および振幅制御トランジスタ16を通じて負極性の電圧が画素電極4に印加され、画素電極4は充電される。そして、振幅制御トランジスタ16のゲートに接続された信号線Bの電圧を V_B とすると、 $V_{PIC} = V_B + V_{ONP}$ となったときに振幅制御トランジスタ16がOFF状態となり、画素電極4の充電が終了する。

【0050】このように、振幅制御トランジスタ15・16の出力電圧、即ち、画素電極4に印加される電圧は、コンデンサ12に保持されているデータ信号と、逆極性電圧設定トランジスタ13・14の出力電圧とによって制御される。

【0051】上記のデータ信号線82a、走査信号線83a、信号線A、信号線B、および極性制御信号線86aに印加される各種信号(電圧)、および、画素電極4に印加される画像信号(電圧)のタイミングチャートを図3に示す。尚、説明を簡単化するために、図3に示すタイミングチャートは、対向電極5の電位を基準(GNDレベル)とし、各信号の電位を対向電極5の電位に対する相対電位で示している。

【0052】図3から明らかなように、画素容量2の画素電極4には、コンデンサ12に保持されているデータ信号に基づいて振幅が設定された交流信号である画像信号が印加され続ける。このため、素子1のコンデンサ12は、図示しない液晶表示パネルに表示される映像画面(即ち、画像信号)を変化させない場合には、データ信号を新たに保持する必要が無い。つまり、素子1のコンデンサ12は、画像信号を変化させる場合にのみ、新たなデータ信号を保持すればよい。

【0053】以上のように、本実施例にかかる液晶表示装置は、各素子1に、一定の周期で極性が切り換わる画像信号を画素容量2に供給する画素駆動回路3を有している。上記の画素駆動回路3は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込むと共に、次に走査されるまで上記データ信号を保持するデータ保持部7と、上記データ信号に基づいて画素容量2に供給する画像信号の実効電圧を設定する階調信号制御部8と、所定の時間間隔で画像信号の極性を反転させる極性制御部9とを備えている。

【0054】つまり、本実施例にかかる液晶表示装置は、各素子1毎に、画素駆動回路3により画素容量2に交流の画像信号を印加する。そして、画像信号の実効電圧は、画素駆動回路3が走査信号によって走査されたときに取り込まれたデータ信号により設定される。このため、画素容量2に供給される画像信号が交流化されるので、液晶表示画面の階調表示が可能となる。

【0055】また、画像信号が交流化されるので、画素駆動回路3には、データ信号の絶対値のみを入力すればよいこととなる。即ち、素子1の画像の明暗に関する情報を上記データ信号とすればよいので、データ信号のダイナミックレンジを従来のほぼ半分程度にすることができ、このため、データ信号を供給するデータ信号線駆動回路(供給源)の電源電圧を小さくすることができると共に、データ信号の信号線に流すべき電流を小さくすることができる。

【0056】さらに、データ信号に基づいて画像信号の実効電圧を設定するので、画素容量2の液晶層6の誘電率が変化しても、上記実効電圧をほぼ一定に保つことができる。このため、各素子1の光学的応答時間が短くなる。

【0057】これにより、簡単な構成で、消費電力が小さく、かつ、階調表示が可能で、しかも、光学的応答時間が短い液晶表示装置を提供することが可能となる。

【0058】尚、図示しない液晶基板上への画素駆動回路3等の構築は、例えば、ガラス基板上にアモルファスシリコン(a-Si)膜を形成し、このアモルファスシリコン膜によりトランジスタ(TFT)等を形成することにより、容易に行うことができる。また、画素駆動回路3等の構築を、上記トランジスタよりもキャリア移動度が10倍以上大きいトランジスタを形成することにより

行ってもよい。即ち、画素駆動回路 3 等の構築を、ガラス基板やプラスチック基板等の絶縁性基板上にポリシリコン膜、或いは単結晶シリコン膜を形成し、これらシリコン膜によりトランジスタ等を形成することにより行ってもよく、さらに、単結晶シリコン基板等の半導体基板上にトランジスタ等を形成することにより行ってもよい。

【0059】また、画素駆動回路 3 を構成する各部 7 ~ 9 の構成および互いの接続は、上記例示の構成および接続に限定されるものではない。例えば、上記の極性制御部 9 は、上述した基準信号を発生する発生回路を内蔵している構成となってもよい。この場合には、図 4

(a) に示すように、上述した極性制御信号線 86a および極性制御回路は不要となる。また、例えば、同図

(b) に示すように、画素容量 2 の画素電極 4 は、階調信号制御部 8 に接続される代わりに、極性制御部 9 に接続される構成となってもよい。この場合には、階調信号制御部 8 は、データ保持部 7 に保持されたデータ信号に基づいて、画素容量 2 に印加する画像信号の実効電圧を制御する信号を極性制御部 9 に入力する。極性制御部 9 は、極性制御信号線 86a より入力される信号に基づいて、階調信号制御部 8 より入力される画像信号の極性を制御し、該画像信号を画素容量 2 に印加する。さらに、同図 (b) に示した極性制御部 9 は、基準信号を発生する発生回路を内蔵している構成となってもよい。この場合には、同図 (c) に示すように、極性制御信号線 86a および極性制御回路は不要となる。尚、上記の図 4 (a) に示した画素駆動回路 3 の構成については、後段の実施例 3 にて詳述する。

【0060】〔実施例 2〕本発明の他の実施例について図 5 および図 6 に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施例 1 の図面に示した構成と同一の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0061】本実施例にかかる液晶表示装置は、図 5 に示すように、消費電力制御信号線 89a を備えると共に、画素駆動回路 3 内部に、電流制御トランジスタ 21 および出力制御トランジスタ 22 をさらに備えた構成となっている。

【0062】上記の電流制御トランジスタ 21 は、逆極性電圧設定トランジスタ 14 のドレインおよび一側電源線 88b 間に配されており、階調信号制御部 8 に流れる電流を制御する。電流制御トランジスタ 21 のドレインは一側電源線 88b に接続され、ゲートは消費電力制御信号線 89a に接続され、ソースは逆極性電圧設定トランジスタ 14 のドレインに接続されている。上記の出力制御トランジスタ 22 は、振幅制御トランジスタ 15・16 のソースおよび画素電極 4 間に配されており、階調信号制御部 8 から出力される画像信号を制御する。出力制御トランジスタ 22 のドレインは振幅制御トランジスタ

タ 15・16 のソースに接続され、ゲートは消費電力制御信号線 89a に接続され、ソースは画素電極 4 に接続されている。

【0063】電流制御トランジスタ 21 のゲートおよび出力制御トランジスタ 22 のゲートは、消費電力制御信号線 89a を介して図示しない消費電力制御回路に接続されている。上記の消費電力制御回路は、画素駆動回路 3 の消費電力を制御する制御信号を電流制御トランジスタ 21 および出力制御トランジスタ 22 に供給する。

【0064】上記の電流制御トランジスタ 21 および出力制御トランジスタ 22 は、常に、同時に ON 状態、若しくは OFF 状態とされる。電流制御トランジスタ 21 は、消費電力制御信号線 89a を介して消費電力制御回路から入力される制御信号が立ち上がったときに ON 状態となり、逆極性電圧設定トランジスタ 14、即ち、階調信号制御部 8 に電流を供給する。また、電流制御トランジスタ 21 は、上記の制御信号が立ち下がったときに OFF 状態となり、階調信号制御部 8 への電流の供給を遮断する。

【0065】出力制御トランジスタ 22 は、上記の制御信号が立ち上がったときに ON 状態となり、階調信号制御部 8 から入力される画像信号を画素電極 4 に印加する。また、出力制御トランジスタ 22 は、上記の制御信号が立ち下がったときに OFF 状態となり、階調信号制御部 8 から入力される画像信号の画素電極 4 への印加を遮断する。このため、画素電極 4 は、出力制御トランジスタ 22 が ON 状態となったときに出力制御トランジスタ 22 から入力された画像信号を、出力制御トランジスタ 22 が再び ON 状態となるまで保持する。その他の構成は、前記の実施例 1 の液晶表示装置と同一である。

【0066】ここで、出力制御トランジスタ 22 が OFF 状態となっている間は、画素駆動回路 3 本体の動作状況の如何に関わらず、画素容量 2 は画像信号を保持し続ける。このため、逆極性電圧設定トランジスタ 13・14 に流れる電流を遮断しても、画素容量 2 の画像には、何ら影響を及ぼすことはない。

【0067】上記のデータ信号線 82a、走査信号線 83a、消費電力制御信号線 89a、信号線 A、信号線 B、極性制御信号線 86a に印加される各種信号（電圧）、および、画素電極 4 に印加される画像信号（電圧）のタイミングチャートを図 6 に示す。尚、説明を簡単化するために、図 6 に示すタイミングチャートは、対向電極 5 の電位を基準（GND レベル）とし、各信号の電位を対向電極 5 の電位に対する相対電位で示している。

【0068】図 6 から明らかなように、電流制御トランジスタ 21 および出力制御トランジスタ 22 は、画素容量 2 の画素電極 4 に印加される画像信号の極性が前記の基準信号によって切り換えられるのと同時に消費電力制御信号線 89a を流れる制御信号が立ち上げられることにより、ON 状態とされる。このため、逆極性電圧設定

トランジスタ 13・14 には、上記の制御信号が立ち上がったときにのみ、電流が流れることになる。

【0069】以上のように、本実施例にかかる液晶表示装置は、画素駆動回路 3 内部に、電流制御トランジスタ 21 および出力制御トランジスタ 22 をさらに備えている。そして、画素駆動回路 3 は、画像信号が変化したときに、画素容量 2 の電位が略安定するまでは画素容量 2 に対する出力抵抗を小さくする。一方、画素駆動回路 3 は、画素容量 2 の電位が略安定したときに、次に画像信号が変化するまでは画素容量 2 に対する出力抵抗を大きくすると共に、画素駆動回路 3 本体の一部若しくは全部の動作を休止する。このため、階調信号制御部 8、即ち、画素駆動回路 3 の消費電流を低減することができる。

【0070】これにより、前記の実施例 1 の液晶表示装置と同様の作用・効果が得られると共に、液晶表示装置の消費電力をより一層低減することが可能となる。

【0071】尚、上記の制御信号が ON 状態を継続する時間は、画素容量 2 の液晶層 6 を形成する液晶の応答時間を考慮に入れて、液晶の応答時間と同程度の時間であることが望ましい。

【0072】〔実施例 3〕本発明のさらに他の実施例について図 7 に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施例 1 の図面に示した構成と同一の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0073】本実施例にかかる液晶表示装置は、図 7 に示すように、画素駆動回路 3 の極性制御部 9 内部に、画素容量 2 の画素電極 4 に印加する画像信号の極性を反転させるための基準となる基準信号を発生する発生回路 31 をさらに備えた構成となっている。

【0074】上記の発生回路 31 は、無安定マルチバイブレータであり、抵抗器 32～35 と、コンデンサ 36・37 と、トランジスタ 38・39 とで構成されている。そして、上記のトランジスタ 38・39 は、一方が ON 状態になると、必ず、他方が OFF 状態となる。OFF 状態となった方のトランジスタ 38・39 は、それぞれのゲートに接続された抵抗器 33・34 とコンデンサ 36・37 との時定数によって定められた時間が経過した後に ON 状態に切り換わる。このようにして、トランジスタ 38・39 が交互に ON/OFF 状態を繰り返すことにより、上記の基準信号を発生し、極性制御トランジスタ 17・18 に出力する。尚、基準信号の周波数は、15Hz～31kHz であることが望ましいが、特に限定されるものではない。その他の構成は、前記の実施例 1 の液晶表示装置と同一である。

【0075】以上のように、本実施例にかかる液晶表示装置は、画素駆動回路 3 の極性制御部 9 内部に、画像信号の極性を反転させるための基準となる基準信号を発生する発生回路 31 をさらに備えている。このため、各素

子 1…に基準信号を供給する必要がなくなるので、前記した極性制御信号線 86a (図 1) および極性制御回路を不要とすることができる。

【0076】これにより、前記の実施例 1 の液晶表示装置と同様の作用・効果が得られると共に、液晶表示装置の構成をより一層簡単化することができる。

【0077】尚、上記の発生回路 31 は、無安定マルチバイブレータに限定されるものではない。発生回路 31 として無安定マルチバイブレータを用いる代わりに、例えば、インバータ回路を奇数段、環状に接続したいわゆるリングオシレータや、オペアンプからなる発振回路等を用いることもできる。

【0078】〔実施例 4〕本発明のさらに他の実施例について図 8 および図 9 に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施例 1 の図面に示した構成と同一の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0079】本実施例にかかる液晶表示装置は、画素容量 2 に印加する画像信号の振幅を設定する代わりに、画像信号のパルス幅を設定する構成となっている。つまり、本実施例にかかる液晶表示装置の画素駆動回路 3 には、図示しない液晶表示パネルに表示される映像画面 (即ち、画像信号) がデジタル信号で入力されるようになっている。

【0080】本実施例にかかる液晶表示装置は、前記の実施例 1 の液晶表示装置におけるデータ信号線 82a の代わりに、図 8 に示すように、データ信号線 82b・82c を備えると共に、パルス幅制御信号線 90a・90b をさらに備えた構成となっている。また、画素駆動回路 3 のデータ保持部 7 は、論理否定回路であるインバータ回路 41～46 からなっている。階調信号制御部 8 は、正論理の論理積回路と排他的論理和回路との組み合わせ論理回路である AND-NOR 回路 47 からなっている。極性制御部 9 は、負論理の排他的論理和回路である EX-NOR 回路 48 からなっている。

【0081】上記のデータ信号線 82b・82c は、デジタルデータ信号をデータ保持部 7 に入力する。本実施例においては、データ信号は、2 ビット (bit) のデジタルデータに変換されている。また、上記のパルス幅制御信号線 90a・90b は、図示しないパルス幅制御回路に接続されている。上記のパルス幅制御回路は、画素容量 2 に印加する画像信号のパルス幅を制御する制御信号を階調信号制御部 8、即ち、AND-NOR 回路 47 に供給する。

【0082】上記データ保持部 7 のインバータ回路 41 は、いわゆるクロックドインバータ回路である。インバータ回路 41 は、走査信号線 83a から入力される走査信号が立ち上がったときに ON 状態となり、データ信号線 82b から入力されるデータ信号を反転してインバータ回路 44 に出力する。また、インバータ回路 41 は、

上記の走査信号が立ち下がったときにOFF状態となる。上記のインバータ回路44は、OFF状態となる直前のインバータ回路41から入力されるデータ信号をさらに反転して階調信号制御部8のAND-NOR回路47に出力する。また、インバータ回路43・44は、インバータ回路44から出力されるデータ信号をスタティック（静的）に保持する。

【0083】同様に、上記のインバータ回路42は、いわゆるクロックドインバータ回路である。インバータ回路42は、走査信号線83aから入力される走査信号が立ち上がったときにON状態となり、データ信号線82cから入力されるデータ信号を反転してインバータ回路45に出力する。また、インバータ回路42は、上記の走査信号が立ち下がったときにOFF状態となる。上記のインバータ回路45は、OFF状態となる直前のインバータ回路42から入力されるデータ信号をさらに反転して階調信号制御部8のAND-NOR回路47に出力する。また、インバータ回路45・46は、インバータ回路45から出力されるデータ信号をスタティックに保持する。

【0084】このように、データ信号線82b・82cを流れるデータ信号は、インバータ回路41・42のON/OFF状態により制御されてAND-NOR回路47に出力される。尚、上記のデータ保持部7は、インバータ回路41・42を備えた構成とする代わりに、例えばアナログスイッチやトランジスタ等を備えた構成としてもよい。

【0085】上記のAND-NOR回路47は、上記インバータ回路44から入力されるデータ信号、および、パルス幅制御信号線90aから入力される制御信号が共にON状態である場合、或いは、上記インバータ回路45から入力されるデータ信号、および、パルス幅制御信号線90bから入力される制御信号が共にON状態である場合に、OFF状態となる。即ち、AND-NOR回路47は、上記2つの場合以外にはON状態となり、極性制御部9のEX-NOR回路48にデータ信号を出力する。

【0086】上記のEX-NOR回路48は、AND-NOR回路47から入力されるデータ信号を、極性制御信号線86aから入力される基準信号がローレベルのときは反転させ、反転したデータ信号を画素信号として画素容量2の画素電極4に印加する。一方、EX-NOR回路48は、上記の基準信号がハイレベルのときは、データ信号をそのまま画素信号として画素容量2の画素電極4に印加する。上記の基準信号は、その極性が一定の周期Tで切り換わる。また、画素容量2の対向電極5には、極性制御信号線86aを流れる基準信号と同一の信号が印加される。即ち、画素容量2には、その極性が上記の周期Tで切り換わる画像信号が印加される。その他の構成は、前記の実施例1の液晶表示装置と略同一であ

る。

【0087】上記のデータ信号線82b・82c、走査信号線83a、インバータ回路44の出力部に接続された信号線C、インバータ回路45の出力部に接続された信号線D、パルス幅制御信号線90a・90b、AND-NOR回路47の出力部に接続された信号線E、極性制御信号線86a、画素電極4、および、対向電極5に印加される各種信号（電圧）、並びに、画素容量2に印加される電圧V_{LC}のタイミングチャートを図9に示す。

【0088】ここで、図9に示すように、パルス幅制御信号線90a・90bには、図示しないパルス幅制御回路から、周期がTで、かつ、パルス幅がそれぞれT/4とT/2の制御信号が、互いにON状態の期間が重複しないようにして供給されている。このため、AND-NOR回路47は、インバータ回路43・44により保持されているデータ信号の下位ビット（bit）がON状態のときに、T/4の時間だけOFF状態となる。また、AND-NOR回路47は、インバータ回路45・46により保持されているデータ信号の上位ビットがON状態のときに、T/2の時間だけOFF状態となる。AND-NOR回路47においては、それぞれのデータ信号によるOFF状態の期間は重複しない。これにより、AND-NOR回路47のOFF状態の期間は、インバータ回路43・44およびインバータ回路45・46により保持されているデータ信号によって制御されることとなる。つまり、AND-NOR回路47から出力されるデータ信号は、上記のインバータ回路43～46によって制御されることとなる。

【0089】同図から明らかなように、画素容量2の画素電極4および対向電極5間には、インバータ回路43～46により保持されているデータ信号によってパルス幅が設定され、かつ、周期Tでその極性が切り換わる3値の画像信号（即ち、電圧V_{LC}）が印加される。上記3値の画像信号は、画素容量2の液晶層6を形成する液晶の応答速度よりも高速で変化するようにになっている。

【0090】一般に、液晶は、その応答速度よりも高速で変化する信号が印加されている場合には、上記信号の一定時間内の実効電圧V_{eff}に応じて階調が変化する。上記の実効電圧V_{eff}は、

【0091】

【数1】

$$V_{eff} = \sqrt{\frac{1}{T} \int_0^T V(t)^2 dt}$$

【0092】にて求められる。

【0093】本実施例の液晶表示装置の画素容量2においては、上記のパルス幅に応じて実効電圧が変化する。従って、液晶層6、即ち、画素容量2は、インバータ回路43～46により保持されているデータ信号に応じた階調で画像表示をし続けることになる。このため、画素

容量 2、即ち、図示しない液晶表示パネルにおける階調表示が可能となる。

【0094】以上のように、本実施例にかかる液晶表示装置は、前記の実施例 1 の液晶表示装置が画素容量 2 に印加する画像信号の振幅を設定する構成となっているのに対して、画素容量 2 に印加する画像信号のパルス幅を設定する構成となっている。

【0095】これにより、前記の実施例 1 の液晶表示装置と同様の作用・効果が得られる。即ち、簡単な構成で、消費電力が小さく、かつ、階調表示が可能で、しかも、光学的応答時間が短い液晶表示装置を提供することが可能となる。

【0096】尚、上記の実施例においては、データ信号が 2 ビットのデジタルデータに変換されている場合を例に挙げて説明したが、上記のビット数は、特に限定されるものではない。また、上記データ信号線およびパルス幅制御信号線の本数は、データ信号のビット数と同数だけ配設される。さらに、データ保持部 7 には、データ信号のビット数と同数だけ、インバータ回路 41・43・44 からなる回路と同一の回路が設けられる一方、階調信号制御部 8 の AND-NOR 回路 47 には、データ信号のビット数と同数だけ AND 回路が設けられる。例えば、データ信号が n ビットのデジタルデータに変換されている場合には、 n 本のデータ信号線およびパルス幅制御信号線がそれぞれ配設される。そして、各パルス幅制御信号線には、周期が T で、かつ、パルス幅がそれぞれ $T/2$ 、 $T/4$ 、 $T/8$ 、……、 $T/2^{(n-1)}$ 、 $T/2^n$ の制御信号が、互いに ON 状態の期間が重複しないようにして供給される。但し、上記のパルス幅を有する制御信号は、この順に、データ信号の上位ビットから下位ビットに向かってそれぞれ対応している。

【0097】これにより、データ信号が n ビットのデジタルデータに変換されている場合においても、データ信号が 2 ビットのデジタルデータに変換されている上記の実施例と同様の作用・効果が得られる。

【0098】【実施例 5】本発明のさらに他の実施例について図 10 に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施例 1 の図面に示した構成と同一の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0099】本実施例にかかる液晶表示装置は、図 10 に示すように、図示しない液晶表示パネルを備えた液晶基板 81 を備えている。上記の液晶基板 81 上には、多数の素子 1…（図 2）がマトリックス状に配列されている。また、液晶基板 81 には、セグメント側ドライバであるデータ信号線駆動回路 82 と、コモン側ドライバである走査信号線駆動回路 83 とが接続されている。データ信号線駆動回路 82 は、データ信号線 82a…を介して各素子 1…に印加する電圧を変化させることにより、上記の素子 1…にデータ信号を供給する。走査信号線駆

動回路 83 は、走査信号線 83a…を介して各素子 1…に印加する電圧を変化させることにより、上記の素子 1…に走査信号を供給する。

【0100】上記の各駆動回路 82・83 は、コントロール回路（判定手段、画素駆動手段）84 に接続されている。コントロール回路 84 は、例えば 1 フィールドのデータ信号をそれぞれ記憶する記憶手段であるフィールドメモリ 85a・85b を備えている。上記のコントロール回路 84 は、主信号線 84a から入力される当該フィールドのデータ信号をフィールドメモリ 85a に記憶させると共に、フィールドメモリ 85b に記憶されている 1 フィールド期間前のデータ信号を読み出し、両データ信号を比較する。即ち、コントロール回路 84 は、両データ信号が同一であるか否かを判定する。また、上記のコントロール回路 84 は、次のフィールド期間においては、フィールドメモリ 85a とフィールドメモリ 85b との機能を入れ換えて同様の動作を行う。

【0101】そして、コントロール回路 84 は、当該フィールドのデータ信号と、1 フィールド期間前のデータ信号との間に差異が認められた場合に、次のフィールド期間に上記の各駆動回路 82・83 を作動させ、フィールドメモリ 85a またはフィールドメモリ 85b に記憶させた当該フィールドのデータ信号を液晶基板 81 上の各素子 1…に入力する。

【0102】このように、コントロール回路 84 は、当該フィールドのデータ信号と、1 フィールド期間前のデータ信号との間に差異が認められた場合にのみ、各駆動回路 82・83 を作動させる。

【0103】以上のように、本実施例にかかる液晶表示装置は、フィールドメモリ 85a・85b に記憶された 1 フィールド期間前のデータ信号と、当該フィールドのデータ信号とが同一であるか否かを判定すると共に、両データ信号が同一でないと判定したときに、各駆動回路 82・83 を作動させ、当該フィールドのデータ信号を各素子 1…に供給するコントロール回路 84 とを備えている。このため、液晶基板 81 上の各素子 1…には、データ信号の内容が変更されたときにのみ、データ信号が新たに供給されることとなる。従って、各素子 1…にデータ信号を供給する回数を減少させることができるので、各素子 1…、即ち、液晶表示装置の消費電力をより一層低減することが可能となる。

【0104】ここで、液晶基板 81 上の各素子 1 においては、データ信号が一度供給されると、新たにデータ信号が供給されるまで同一の画像が表示されるように、画素駆動回路 3 が画素容量 2 に画像信号を印加し続ける。このため、画像表示に関する情報であるデータ信号が、1 フィールド期間前のデータ信号に対して変化したときにのみ各素子 1…に供給されるようになっていても何ら問題はない。

【0105】これにより、簡単な構成で、消費電力が小

さい液晶表示装置を提供することが可能となる。

【0106】尚、上記のデータ信号線駆動回路82、走査信号線駆動回路83、コントロール回路84、および、フィールドメモリ85a・85bは、液晶基板81が形成されている基板上に、その一部または全部が、実装、或いはモノリシックに形成されていてもよい。また、上記の各回路82～84およびフィールドメモリ85a・85bは、液晶基板81が形成されている基板とは別の基板上に形成されていてもよい。

【0107】【実施例6】本発明のさらに他の実施例について図11に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施例5の図面に示した構成と同一の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0108】本実施例にかかる液晶表示装置は、コンピュータと一体的に接続されることにより、例えば、情報表示端末として携帯可能に形成されている。そして、本実施例にかかる液晶表示装置は、前記の実施例5の液晶表示装置におけるフィールドメモリ85a・85bの代わりに、図11に示すように、VRAM(Video Random Access Memory)96を備えると共に、CPU(Central Processing Unit)95をさらに備えた構成となっている。これらCPU95およびVRAM96は、コントロール回路84に接続されている。

【0109】上記のCPU95は、液晶基板81に備えられた液晶表示パネルに表示する映像画面(即ち、データ信号)をデータバスライン95bを介してVRAM(記憶手段)96に記憶させる。また、CPU95は、メモリ制御信号線95aを介してVRAM96を制御すると共に、データバスライン95bを介してVRAM96に記憶されているデータ信号を読み出す。

【0110】コントロール回路84は、各フィールド期間においてメモリ制御信号線95aを流れる信号をモニターすることにより、上記フィールド期間におけるデータ信号の変化、即ち、当該フィールドのデータ信号と、1フィールド期間前のデータ信号との間の差異を検知する。そして、コントロール回路84は、当該フィールドのデータ信号と、1フィールド期間前のデータ信号との間に差異が認められた場合にのみ、即ち、当該フィールド期間内にCPU95がVRAM96にデータ信号を新たに記憶させた場合にのみ、データ信号線駆動回路82および走査信号線駆動回路83を作動させる。これにより、コントロール回路84は、VRAM96に記憶されているデータ信号をデータ信号線駆動回路82を介して液晶基板81上に配列された各素子1…に印加する。その他の構成は、前記の実施例5の液晶表示装置と同一である。

【0111】以上のように、本実施例にかかる液晶表示装置は、データ信号を記憶するVRAM96と、コントロール回路84とを備えている。このため、液晶基板8

1上の各素子1…には、データ信号の内容が変更されたときにのみ、データ信号が新たに供給されることとなる。従って、各素子1…にデータ信号を供給する回数を減少させることができるので、各素子1…、即ち、液晶表示装置の消費電力をより一層低減することが可能となる。

【0112】これにより、前記の実施例5の液晶表示装置と同様の作用・効果が得られる。

【0113】

10 【発明の効果】本発明の請求項1記載の液晶表示装置は、以上のように、液晶表示素子は、一定の周期で極性が切り換わる画像信号を画素に供給する画素駆動回路を有し、上記画素駆動回路は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込み、上記データ信号に基づいて画素に供給する画像信号の実効電圧を設定するものである構成である。

【0114】これにより、簡単な構成で、消費電力が小さく、かつ、階調表示が可能で、しかも、光学的応答時間が短い液晶表示装置を提供することが可能となるという効果を奏する。

20 【0115】本発明の請求項2記載の液晶表示装置は、以上のように、画素駆動回路は、走査信号によって走査されたときに、画像表示に関する情報であるデータ信号を取り込むと共に、次に走査されるまで上記データ信号を保持する保持回路と、上記データ信号に基づいて画素に供給する画像信号の実効電圧を設定する設定回路と、所定の時間間隔で画像信号の極性を反転させる反転回路とを備えている構成である。

30 【0116】これにより、簡単な構成で、消費電力が小さく、かつ、階調表示が可能で、しかも、光学的応答時間が短い液晶表示装置を提供することが可能となるという効果を奏する。

【0117】本発明の請求項3記載の液晶表示装置は、以上のように、画素駆動回路は、画像信号の極性を反転させるための基準となる基準信号を発生する発生回路をさらに備えている構成である。

【0118】これにより、液晶表示装置の構成をより一層簡単化することができるという効果を奏する。

40 【0119】本発明の請求項4記載の液晶表示装置は、以上のように、画素駆動回路は、画像信号が変化したときに、画素の電位が略安定するまでは画素に対する出力抵抗を小さくする一方、画素の電位が略安定したときに、次に画像信号が変化するまでは画素に対する出力抵抗を大きくすると共に、画素駆動回路本体の一部若しくは全部の動作を休止するものである構成である。

【0120】これにより、画素駆動回路の消費電流を低減することができるので、液晶表示装置の消費電力をより一層低減することが可能となるという効果を奏する。

50 【0121】本発明の請求項5記載の液晶表示装置は、以上のように、当該フィールドの画像信号と、1フィー

21

ルド期間前の画像信号とが同一であるか否かを判定する判定手段と、上記判定手段により、両画像信号が同一でないと判定されたときに、当該フィールドの画像信号を各画素に供給する画素駆動手段とをさらに備えている構成である。

【0122】これにより、各画素にデータ信号を供給する回数を減少させることができるので、液晶表示装置の消費電力をより一層低減することが可能となるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施例における液晶表示装置の要部の構成を示すものであり、液晶表示素子の回路図である。

【図 2】上記液晶表示素子の構成を示すブロック図である。

【図 3】上記液晶表示素子の各部に印加されている各種信号のタイミングチャートである。

【図 4】(a)、(b)、(c) 共に、上記液晶表示素子の構成の変形例を示すブロック図である。

【図 5】本発明の他の実施例における液晶表示装置の要部の構成を示すものであり、液晶表示素子の回路図である。

【図 6】図 5 の液晶表示素子の各部に印加されている各種信号のタイミングチャートである。

【図 7】本発明のさらに他の実施例における液晶表示装置の要部の構成を示すものであり、液晶表示素子の回路図である。

【図 8】本発明のさらに他の実施例における液晶表示装置の要部の構成を示すものであり、液晶表示素子の回路図である。

【図 9】図 8 の液晶表示素子の各部に印加されている各種信号のタイミングチャートである。

【図 10】本発明のさらに他の実施例における液晶表示

22

装置の概略の構成を示すブロック図である。

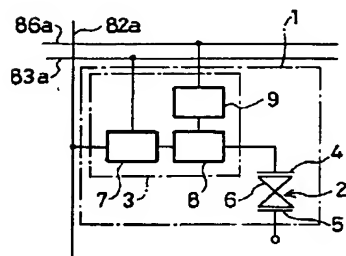
【図 11】本発明のさらに他の実施例における液晶表示装置の概略の構成を示すブロック図である。

【図 12】従来の液晶表示装置の要部の構成を示すものであり、液晶表示素子の回路図である。

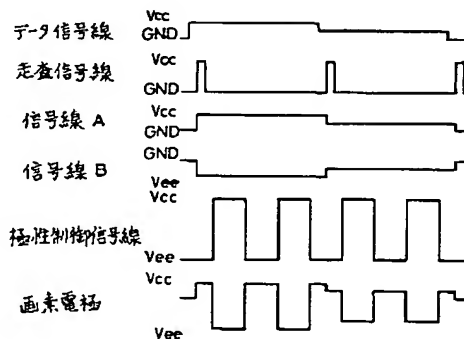
【符号の説明】

- | | |
|-----------|------------------------|
| 1 | 液晶表示素子 |
| 2 | 画素容量 (画素) |
| 3 | 画素駆動回路 |
| 4 | 画素電極 |
| 5 | 対向電極 |
| 6 | 液晶層 |
| 7 | データ保持部 (保持回路) |
| 8 | 階調信号制御部 (設定回路) |
| 9 | 極性制御部 (反転回路) |
| 13 | 逆極性電圧設定トランジスタ |
| 14 | 逆極性電圧設定トランジスタ |
| 15 | 振幅制御トランジスタ |
| 16 | 振幅制御トランジスタ |
| 17 | 極性制御トランジスタ |
| 18 | 極性制御トランジスタ |
| 21 | 電流制御トランジスタ |
| 22 | 出力制御トランジスタ |
| 31 | 発生回路 |
| 81 | 液晶基板 |
| 82 | データ信号線駆動回路 |
| 82 a | データ信号線 |
| 83 | 走査信号線駆動回路 |
| 83 a | 走査信号線 |
| 84 | コントロール回路 (判定手段、画素駆動手段) |
| 85 a・85 b | フィールドメモリ |
| 96 | VRAM |

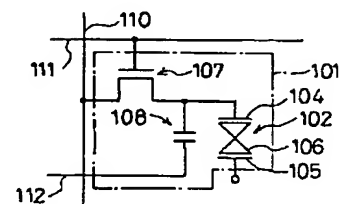
【図 2】



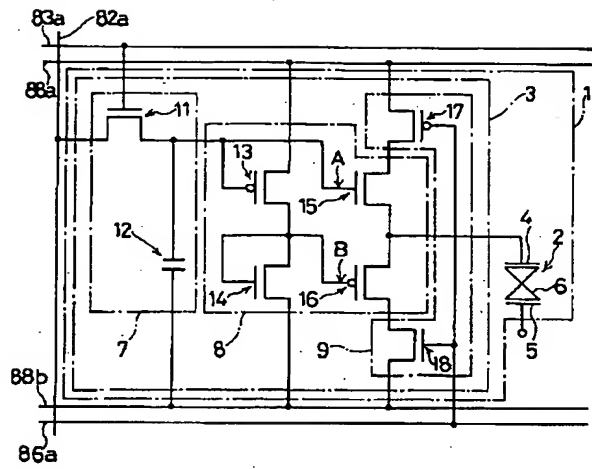
【図 3】



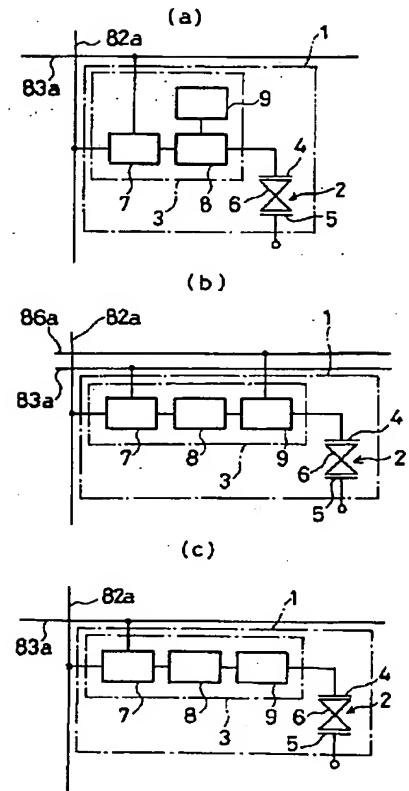
【図 12】



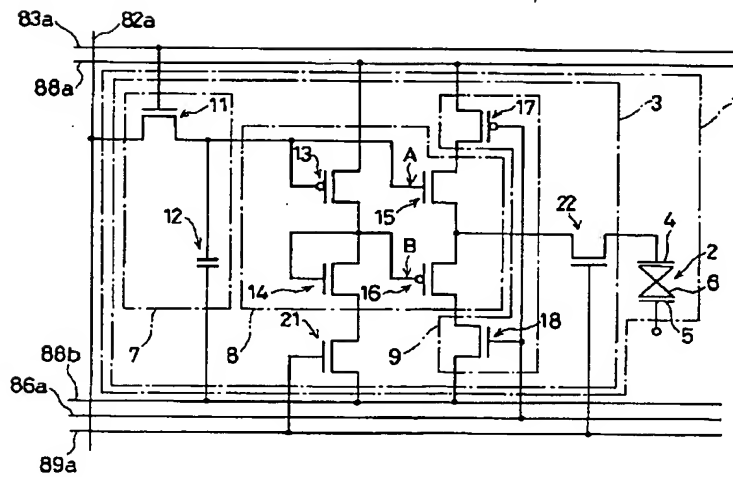
【図 1】



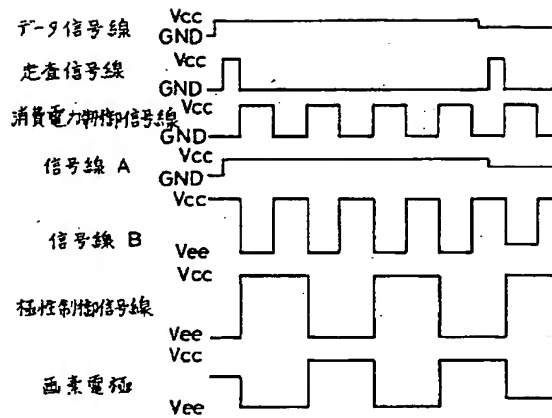
【図 4】



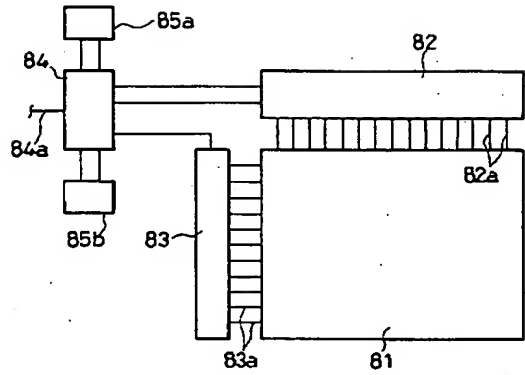
【図 5】



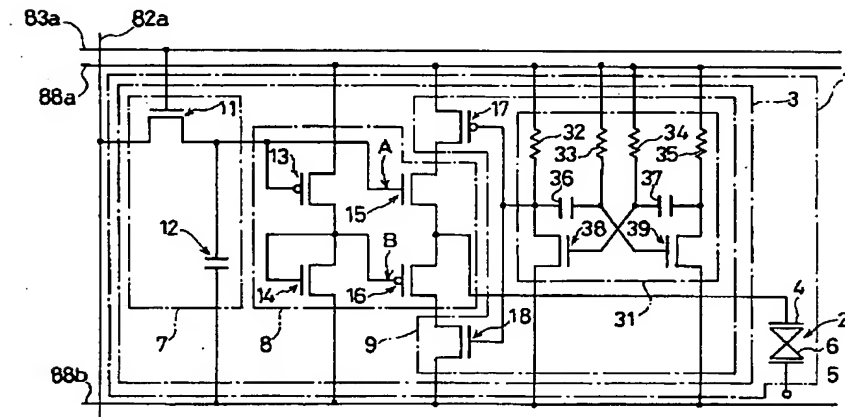
【図 6】



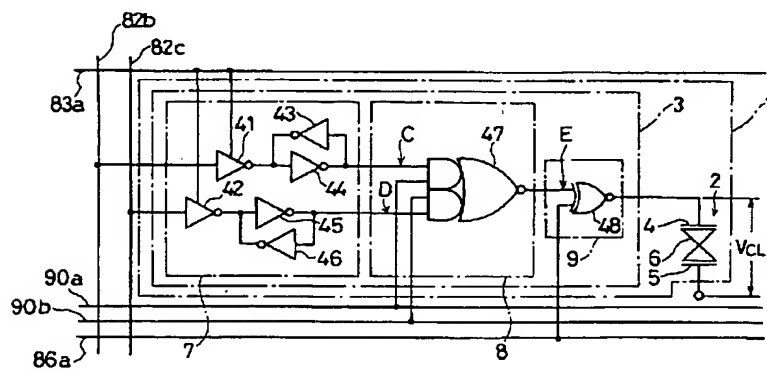
【図 10】



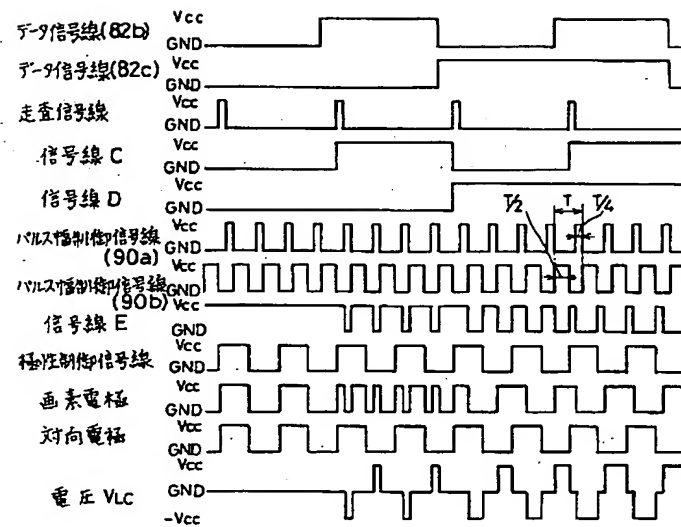
【図 7】



【図 8】



【図 9】



【図 11】

